

PAT-NO: JP403124047A
DOCUMENT-IDENTIFIER: JP 03124047 A
TITLE: INTEGRATED CIRCUIT DEVICE
PUBN-DATE: May 27, 1991

INVENTOR-INFORMATION:
NAME
SAITO, TAKAO

ASSIGNEE-INFORMATION:
NAME COUNTRY
NEC IC MICROCOMPUT SYST LTD N/A

APPL-NO: JP01261522
APPL-DATE: October 6, 1989

INT-CL (IPC): H01L021/82
US-CL-CURRENT: 257/529

ABSTRACT:

PURPOSE: To make a length of a fuse long by making use of a difference in level, to reduce a required area and to make a chip size small by a method wherein an uneven part is formed on the surface of an oxide film with which the surface of a silicon substrate is covered.

CONSTITUTION: An oxide film 15 having a part whose thickness differs sharply is formed on the surface of a silicon substrate 3. Polycrystalline silicon 4 and another oxide film 15' are grown on the surface of the film 15 to form

electrodes 1, 2' the oxide film 15' between them is etched and removed. A length of a fuse formed by the polycrystalline silicon 4 becomes long by a difference in level, and a required area can be made small. Consequently, a chip size of an integrated circuit provided with the fuse can be reduced.

COPYRIGHT: (C) 1991, JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-124047

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)5月27日

H 01 L 21/82

8225-5F H 01 L 21/82

F

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 集積回路装置

⑯ 特 願 平1-261522

⑰ 出 願 平1(1989)10月6日

⑱ 発 明 者 齋 藤 孝 雄

東京都港区芝5丁目7番15号 日本電気アイシーマイコン
システム株式会社内⑲ 出 願 人 日本電気アイシーマイ
コンシステム株式会社

神奈川県川崎市中原区小杉町1丁目403番53

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

〔従来の技術〕

1. 発明の名称
集積回路装置

2. 特許請求の範囲

多結晶シリコンを有する集積回路装置において、多結晶シリコンをヒューズとして作る領域で、シリコン基板表面を覆う酸化膜の厚さを異ならしめ、その厚さの異なるために生じた段差をもつように形成され、その表面にヒューズとして多結晶シリコンを成長させた上に酸化膜を気相成長させ電極を形成しエッチングにより電極間の前記多結晶上の酸化膜を取り除いたことを特徴とする集積回路装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は多結晶シリコンを有する集積回路装置のヒューズ構造に関するものである。

従来、多結晶シリコンを有する集積回路においては、単一の工程で平坦に形成された酸化膜上に多結晶シリコンを成長させ、この多結晶シリコンをヒューズとして用いていた。このような多結晶シリコンをヒューズとして形成した集積回路の例を第2図に示す。すなわち、シリコン基板3上に熱酸化によって形成された酸化膜5上に多結晶シリコン4を形成し、さらにその上に酸化膜6を気相成長させ電極1、2を形成し、エッチングにより電極1、2間の酸化膜を取り除いたものである。この多結晶シリコン4によって形成されたヒューズは電極1と電極2の間であり厚さtの一様な酸化膜上に形成されている。多結晶シリコン4のヒューズの抵抗率を ρ_s 、多結晶シリコン4の幅をW、電極1と電極2間の長さを ℓ とすると、ヒューズの抵抗値Rは

$$R = \rho_s \cdot \ell / W$$

で決まる。

ここでヒューズの抵抗率 ρ_s 及び多結晶シリコ

特開平3-124047 (2)

ンの幅Wが一定とするとヒューズの抵抗値Rは長さLに比例する。したがって、この構造では集積回路装置のチップ表面積に対するヒューズの占有率が大きい場合及び大きなヒューズの値を必要とする場合集積回路装置のチップサイズの縮小を実現させることに対する一つの障害となっていた。

〔発明が解決しようとする課題〕

本発明の目的は、占有面積の小さな集積回路用のヒューズを得ることにある。

〔課題を解決するための手段〕

本発明によれば、シリコン基板の表面を覆う酸化膜の表面に凹凸を設けて、この凹凸部にヒューズ形成し、凹凸によって生じた段差によってヒューズの長さを長くし、必要面積の縮小を可能にしたヒューズを有する集積回路装置を得る。

〔実施例〕

次に、本発明の実施例を用いてより詳細に説明する。

第1図に本発明の一実施例を示す。シリコン基板3の表面には厚さを大幅に異ならしめた厚さを

もつ酸化膜15が形成されその表面に多結晶シリコン4と他の酸化膜15'とを成長させて電極1、2を形成し、電極1、2間の酸化膜をエッチングし取り除いた構造になっている。この異なった厚さを持つ酸化膜15はシリコン基板3表面を熱酸化した後選択的に酸化膜を形成した後、選択的にエッチングすることもできる。このとき酸化膜15の厚い部分と、薄い部分を、電極1、2間の長さをLとしたときに従来と同様にヒューズの抵抗値Rを求めた場合

$$R = \rho \cdot \{L - 2(t_1 - t_2)\} / W$$

となり、ヒューズの長さは $2(t_1 - t_2)$ だけ短くなる。

〔発明の効果〕

以上、詳細に説明したとおり、本発明の集積回路装置は多結晶シリコンをヒューズとし、電極間でシリコン基板の表面を覆う酸化膜の厚さを異ならしめたものの上にその厚さのために生じた段差をもつように構成されているので従来のヒューズに必要な面積にくらべて十分小さい面積ですむ。

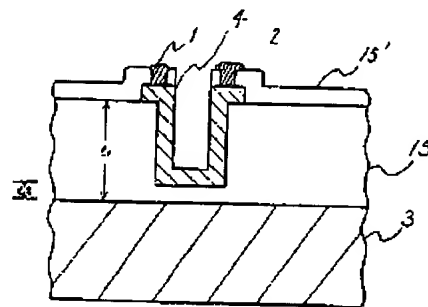
したがってヒューズを有する集積回路装置のチップサイズ縮小を実現させるのに有効である。

4. 図面の簡単な説明

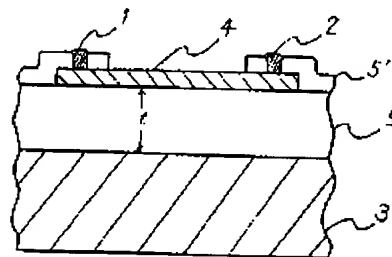
第1図は本発明の一実施例による集積回路装置の断面図である。

1……電極、2……電極、3……シリコン基板、4……多結晶シリコン、5、5'、15、15'……酸化膜。

第2図は従来の集積回路装置の多結晶シリコンを用いたヒューズの断面図である。



第1図



第2図

代理人 弁理士 内 原 啓

特開平3-124047(3)

手続補正書(方式)

平成 2 3 -2
年 月 日

特許庁長官殿



1. 事件の表示 平成1年 特許願 第261522号
2. 発明の名称 集積回路装置
3. 補正をする者

事件との関係

出願人

東京都港区芝五丁目7番15号

日本電気アイシーマイコンシステム株式会社

代表者 岸 満 雄

4. 代理人

〒108 東京都港区芝五丁目37番8号 住友三田ビル

日本電気株式会社内

(5501) 弁護士 内 原 晋

電話 東京(03)456-3111 (大代表)

(連絡先 日本電気株式会社 特許課)



5. 補正命令の日付 平成2年1月30日(発送日)

6. 補正の対象

明細書の図面の簡単な説明の欄

7. 補正の内容

- (1) 明細書第5頁5行の「図である。」という記載の後に「第2図は従来例を示す断面である。」という記載を挿入いたします。

代理人 弁護士 内 原 晋